

PUBLICATION NUMBER : 69042097
PUBLICATION DATE : 23-02-88

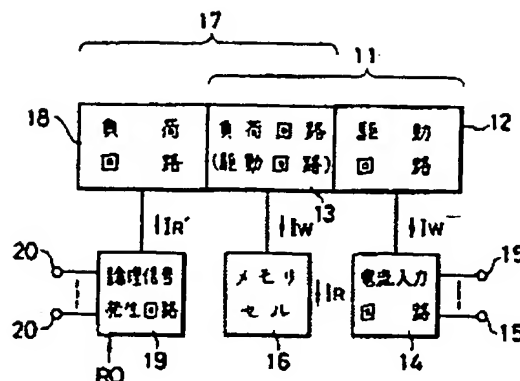
APPLICATION DATE : 07-08-86
APPLICATION NUMBER : 64185652

APPLICANT : NAKAMURA TETSUO;

INVENTOR : NAKAMURA TETSUO;

INT.CL. : G11C 11/34 G11C 11/34

TITLE : MULTI-LEVEL LOGIC STORAGE
CIRCUIT



ABSTRACT : PURPOSE: To allow a simple circuit constitution to attain a great noise margin by storing voltages corresponding to n-kind of currents on the side of a driving circuit in a 1st current mirror circuit and generating logic signals on the side of a load circuit in a 2nd current mirror circuit according to the stored voltages.

CONSTITUTION: In writing data, n-kind of currents I_w are allowed to flow to the side of the driving circuit 12 in the 1st current mirror circuit 11 according to write data, and the voltages of values corresponding to the currents conducted to the side of the load circuit 13 are stored in a memory cell 16. In reading data, currents corresponding to the voltages stored in the memory cell 16 are allowed to flow to the side of the driving circuit 13 in the 2nd current mirror circuit 17, and a logic signal generator circuit 19 connected to the side of the load circuit 8 in the 2nd current mirror circuit 17 generates the logic signals 20 corresponding to the current values at that time. Thus data can be written and read at high speed with a great noise margin.

COPYRIGHT: (C)1988,JPO&Japio

⑫ 公開特許公報(A)

昭63-42097

⑪ Int.Cl.⁴

G 11 C 11/34

識別記号

3 8 1
3 7 1

庁内整理番号

Z-8522-5B
Z-8522-5B

⑬ 公開 昭和63年(1988)2月23日

審査請求 有 発明の数 1 (全9頁)

⑭ 発明の名称 多値論理記憶回路

⑮ 特 願 昭61-185652

⑯ 出 願 昭61(1986)8月7日

⑰ 発 明 者 安 田 幸 夫 愛知県名古屋市中区矢田町2丁目66番地 名大矢田町宿舍
144号室
⑱ 出 願 人 安 田 幸 夫 愛知県名古屋市中区矢田町2丁目66番地 名大矢田町宿舍
144号室
⑲ 出 願 人 賤 満 鎮 明 愛知県豊橋市王ヶ崎町字上原1の3 合同宿舍王ヶ崎住宅
2の304
⑳ 出 願 人 池 上 紀 夫 東京都国分寺市東恋ヶ窪3丁目8番地2号 パークアベニ
ューデュエット国分寺102号室
㉑ 代 理 人 弁理士 鈴江 武彦 外2名
最終頁に続く

明 細 書

1. 発明の名称

多値論理記憶回路

2. 特許請求の範囲

1 駆動回路及び負荷回路を有する第1のカレントミラー回路と、上記第1のカレントミラー回路の駆動回路側にn通りの値の電流を流す電流入力手段と、上記第1のカレントミラー回路の負荷回路側に接続され、この負荷回路側に流れる電流に応じた値の電圧を記憶するメモリセルと、駆動回路及び負荷回路を有し上記メモリセルに記憶された電圧に応じた電流が駆動回路側に流れる第2のカレントミラー回路と、上記第2のカレントミラー回路の負荷回路側に接続され、この負荷回路側に流れる電流の値に応じて論理信号を発生する論理信号発生手段とを具備したことを特徴とする多値論理記憶回路。

2 前記第1のカレントミラー回路の負荷回路が前記第2のカレントミラー回路の駆動回路を兼ねている特許請求の範囲第1項に記載の多値論理記

憶回路。

3 前記メモリセルは、前記第1のカレントミラー回路の負荷回路側にソース、ドレイン間が挿入された第1のMOSトランジスタと、上記第1のMOSトランジスタのゲート、ドレイン間にソース、ドレイン間が挿入されデータの書き込み時にのみ導通制御される第2のMOSトランジスタとを具備し、第1のMOSトランジスタのゲートに前記第1のカレントミラー回路の負荷回路側に流れる電流に応じた値の電圧を記憶するように構成されている特許請求の範囲第1項に記載の多値論理記憶回路。

4 前記第2のカレントミラー回路の負荷回路側にはそれぞれ一端が電源に接続されたN個(N = log₂ n)の負荷素子が並列に設けられており、これらN個の負荷素子の各他端は各ビット信号の出力端子に接続されており、前記論理信号発生手段は上記第2のカレントミラー回路のN個の各負荷素子の他端にソース、ドレイン間の一端が接続され論理信号変換時に導通制御される各1個の

MOSTランジスタと、上記N個の各負荷素子のうち対応するものの他端にソース、ドレイン間の一端が共通に接続されゲートがそのビットよりも上位の全てのビットの出力端子にそれぞれ接続されたMOSTランジスタとから構成されている特許請求の範囲第1項に記載の多値論理記憶回路。

5 前記論理信号発生手段には、前記第2のカレントミラー回路のN個の各負荷素子に流れる電流に論理値で換算して0.5に対応する電流を各負荷素子に付加する手段が設けられている特許請求の範囲第4項に記載の多値論理記憶回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明はn値論理の記憶回路に係り、特に電流モードでデータの書き込み、読み出しを行なうようにした多値論理記憶回路に関する。

(従来の技術)

半導体メモリ、特にデータを電荷の形で記憶するダイナミック型ランダムアクセスメモリ回路、

者の場合には、電荷転送損失が大きくなるために低電圧化が難しい、容量性負荷を駆動する必要があるため消費電力が大きい、などの問題がある。また、後者の場合は動作速度が遅いという問題がある。

(発明が解決しようとする問題点)

このように従来の多値論理記憶回路では、低電圧化が難しい、消費電力が大きい、動作速度が遅いなどの欠点がある。

この発明は上記のような事情を考慮してなされたものであり、その目的は簡単な回路構成で大きな雑音余裕度を得ることができ、しかもデータの書き込みと読み出しを高速に行なうことができる多値論理記憶回路を提供することにある。

[発明の構成]

(問題点を解決するための手段)

この発明の多値論理記憶回路は、駆動回路及び負荷回路を有する第1のカレントミラー回路と、上記第1のカレントミラー回路の駆動回路側にn通りの値の電流を流す電流入力手段と、上記第1

いわゆるDRAMの記憶容量は、回路技術、半導体製造技術などの向上に伴い急激な増加を続けている。しかしながら、素子の微細化による記憶容量の増加は電荷蓄積用キャパシタの容量の減少につながり、メモリセルにおけるデータの記憶状態を判断するのが困難になってきている。

これに対し、記憶容量を増加させる一つ的手段として多値論理記憶回路が研究されている。この多値論理記憶回路は、2値論理記憶回路に比べてセル当りの情報量を増加させることができるので実質的な高集積化が行なえる。また、多値回路は多値の機能を用いた機能デバイスへの応用が期待される。

しかしながら、今まで発表された多値論理記憶回路は電圧モードによる書き込み、読み出しのものがほとんどであり、雑音余裕など2値論理の場合よりも様々な不利な点を含んでいる。例えば、従来の多値論理記憶回路は、メモリセルとしてCCD(電荷結合デバイス)を用いたものと、2値論理と同様の1トランジスタ形式のものとがあり、前

のカレントミラー回路の負荷回路側に接続され、この負荷回路側に流れる電流に応じた値の電圧を記憶するメモリセルと、駆動回路及び負荷回路を有し上記メモリセルに記憶された電圧に応じた電流が駆動回路側に流れる第2のカレントミラー回路と、上記第2のカレントミラー回路の負荷回路側に接続され、この負荷回路側に流れる電流の値に応じて論理信号を発生する論理信号発生手段とから構成されている。

(作用)

この発明の多値論理記憶回路では、データの書き込み時には書き込みデータに応じて第1のカレントミラー回路の駆動回路側にn通りの値の電流を流し、負荷回路側に流れる電流に応じた値の電圧をメモリセルで記憶させる。また、データの読み出し時には上記メモリセルに記憶された電圧に応じた電流を第2のカレントミラー回路の駆動回路側に流し、この第2のカレントミラー回路の負荷回路側に接続された論理信号発生手段によりこのときの電流値に応じた論理信号を発生させる。

(実施例)

以下、図面を参照してこの発明の一実施例を説明する。

第1図はこの発明に係る多値論理記憶回路の構成を示すブロック図である。図において、11は第1のカレントミラー回路である。この第1のカレントミラー回路11は駆動回路12と負荷回路13とから構成されており、駆動回路12側には電流入力回路14が接続されている。この電流入力回路14は入力端子15に供給される複数ビットの2値論理信号で表現された n 値論理のある値に対応した電流 I_w を発生し、この電流 I_w を駆動回路12に供給する。

上記第1のカレントミラー回路11の負荷回路13側にはメモリセル16が接続されている。このメモリセル16は図示しないXデコーダ(行デコーダ)及びYデコーダ(列デコーダ)により選択駆動される図示しない行線と列線の交差位置に配置されており、図示しないアドレス信号によりこの行線及び列線が選択駆動される際により上記負荷回路13側

出力端子20から出力される。

このように、上記実施例回路では電流モードによるデータの書き込み、読み出しを行なっているために、高速に書き込み、読み出しが行なえること、雑音余裕が大きくまた信頼性が高いこと、などの種々の利点を有するものである。

第2図は上記実施例回路を具体的に示した回路図であり、第1図と対応する箇所には同じ符号を付して説明を行なう。第1のカレントミラー回路11の駆動回路12は、ソースが正極性の電源電圧 V_{DD} に接続されているPチャネルMOSトランジスタ21と、このトランジスタ21のゲート、ドレイン間にソース、ドレイン間が接続され、上記メモリセル16に対してデータの書き込みを行なう際に導通制御されるPチャネルMOSトランジスタ22とから構成されている。また、第1のカレントミラー回路11の負荷回路もしくは第2のカレントミラー回路17の駆動回路13は、ソースが正極性の電源電圧 V_{DD} に接続されかつゲートが上記トランジスタ21のゲートに接続されているPチャネル

に流れる電流に応じた値の電圧をデータとして記憶する。このメモリセル14における電圧の記憶方式は、電荷を一時的に蓄積するダイナミック型を原則としている。

また、17は第2のカレントミラー回路である。この第2のカレントミラー回路17は上記第1のカレントミラー回路11の負荷回路と兼用にされた駆動回路13及び負荷回路18から構成されており、駆動回路13側には上記メモリセル16が接続されている。そして、データの読み出し時に、上記メモリセル16は予め記憶している電圧値に対応した電流 I_R を発生し、この電流を上記第2のカレントミラー回路17の駆動回路13に供給する。

上記第2のカレントミラー回路17の負荷回路18側には論理信号発生回路19が接続されている。この論理信号発生回路19は読み出し制御信号 R_O が供給された際に、カレントミラー回路17の負荷回路18側に流れる電流 I_R' を検出し、その電流値に応じた2値論理の信号を発生する。そして、この論理信号発生回路19で発生された2値論理信号は

MOSトランジスタ23と、このトランジスタ23のゲート、ドレイン間にソース、ドレイン間が接続されかつ上記メモリセル16に対してデータの書き込みを行なう際に非導通にされ、上記メモリセル16からデータの読み出しを行なう際には導通制御されるPチャネルMOSトランジスタ24とから構成されている。

第2のカレントミラー回路17の負荷回路18は、ソースが正極性の電源電圧 V_{DD} に接続されかつゲートが上記トランジスタ23のゲートに並列に接続されている複数のPチャネルMOSトランジスタ25で構成されている。そして、上記出力端子20は上記各トランジスタ25のドレインに接続されている。

上記電流入力回路14は、各ドレインが上記第1のカレントミラー回路11の駆動回路12内のトランジスタ21のドレインに共通に接続され、各ソースがアース電圧 V_{SS} に共通に接続され、ゲートが上記各入力端子15に接続された複数のNチャネルMOSトランジスタ26で構成されている。すなわ

ち、この実施例では電流入力回路14は2値の論理信号をn値の電流に変換する場合のものである。

上記メモリセル16は、ドレインが上記第1のカレントミラー回路11の負荷回路13内のトランジスタ23のドレインに接続されたNチャネルMOSトランジスタ27と、ドレインが上記トランジスタ27のドレインに接続され、ソースが上記トランジスタ27のゲートに接続されたNチャネルMOSトランジスタ28とで構成されている。そして、上記トランジスタ27のソースは1本の行線29に、上記トランジスタ28のゲートは1本の列線30に接続されている。なお、上記トランジスタ28はPチャネルのものを使用することもできる。

上記論理信号発生回路19は、ドレインが上記第2のカレントミラー回路17の負荷回路18内の各トランジスタ25のドレインに接続され、ソースがアース電圧 V_{ss} に共通に接続され、かつゲートに上記読出し制御信号ROが供給される各1個のNチャネルMOSトランジスタ31と、ドレインが上記第2のカレントミラー回路17の負荷回路18内の

各トランジスタ25のドレインに接続され、ソースがアース電圧 V_{ss} に共通に接続され、かつゲートが上位ビットの全ての出力端子20にそれぞれ接続されたNチャネルMOSトランジスタ32と、ソースが V_{DD} に共通に接続され、ドレインが上記第2のカレントミラー回路17の負荷回路18内の各トランジスタ25のドレインに接続され、上記メモリセル16からのデータ読み出しの際に導通制御され、トランジスタ25と同数のNチャネルMOSトランジスタ33とで構成されている。そして、上記トランジスタ33が導通する際に各トランジスタ33には、トランジスタ25に流れる電流を論理“1”とすると論理“0.5”に相当する電流が流れるように素子寸法などが設定されている。また、この実施例では上記論理信号発生回路19はn値の電流を2値の論理信号に変換する場合のものである。

このような構成において、データの書き込みを行なう場合には、第1のカレントミラー回路11の駆動回路12内のトランジスタ22を導通させ、負荷回路13内のトランジスタ24を非導通にする。これに

より、入力端子15に供給される2値論理信号に応じて電流入力回路14に流れるn値のうちの一つの値の電流 I_n がトランジスタ21を通して流れる。そして、例えばトランジスタ21と23のチャネル寸法が等しく設定されているならば、これと同じ値の電流 I_n がトランジスタ23に流れ、メモリセル16に供給される。このメモリセル16では、データの読み込み時にアドレス信号に応じて行線29がアース電圧に、列線30が V_{DD} 電圧に選択的に設定される。すなわち、トランジスタ28のゲートが高電位にされて導通する。ただし、この場合にトランジスタ28はNチャネルのものを使用している。すると、トランジスタ27のソース、ドレイン間に上記電流 I_n が流れ、トランジスタ27のゲート電圧はドレインとゲートとの接続状態に応じた電圧に維持される。すなわち、このときのトランジスタ27のゲート電圧を V_g 、閾値電圧を V_T とすると、これらの間には次式が成立する。

$$I_n = \beta (V_g - V_T)^2 \quad \dots 1$$

ただし、 β は比例定数である。すなわち、デー

タの書き込みを行なうと、メモリセル16には上記1式の関係で与えられる電圧 V_g がトランジスタ27のゲートに蓄積される。この後、トランジスタ28を非導通状態にすれば、トランジスタ27のゲート電圧はダイナミック的に保持される。

他方、データの読出しを行なう場合には、第1のカレントミラー回路11の駆動回路12内のトランジスタ22を非導通にし、負荷回路13内のトランジスタ24を導通させる。そしてメモリセル16では行線29がアース電圧に設定される。すると、トランジスタ27のゲートに蓄積されている電圧によってn値のうちの一つの値に対応した前記と等しい電流 I_n がトランジスタ28及びトランジスタ23に流れる。このとき、論理信号発生回路19では読出し制御信号ROによってトランジスタ31が導通にされ、これにより上記電流 I_n に対応した2値論理信号が発生される。

上記データ読出し時の詳細な動作を、第3図に示すようにnの値が4のときの、すなわち4値論理の記憶回路に特定した場合を例にして説明する。

なお、第4図はこの第3図回路の出力端子20₀、20₁で得られる2値論理信号D₀、D₁の電圧と、電流Iとの関係を示す特性図である。第4図において、破線の曲線41ないし43はメモリセル16の論理値“1”、“2”、“3”に対応した電流を示すものであり、また実線の曲線44ないし47はこれらの曲線41ないし43と論理値“0”の直線に対し、トランジスタ33に流れる論理“0.5”に相当する分だけ加えた論理値“0”+“0.5”、“1”+“0.5”、“2”+“0.5”、“3”+“0.5”に対応した電流を示すものであり、さらに実線の曲線48ないし50はトランジスタ31₀、31₁単独の、トランジスタ31₀と32とを並列接続した場合の静特性をそれぞれ示したものである。そして、これらの特性の交点の電圧が信号D₀、D₁として端子20₀、20₁から出力される。

まず、論理値“0”の記憶データが読出されたとき、信号D₀は共に2値論理の“L”となる。

論理値“1”の記憶データが読出されたとき、信号D₀は曲線45と曲線48との交点の電圧、すな

わち2値論理の“H”となり、D₁は曲線45と曲線49との交点の電圧、すなわち2値論理の“L”となる。

論理値“2”の記憶データが読出されたとき、信号D₁は曲線46と曲線49との交点の電圧、すなわち2値論理の“H”となる。このとき、この信号D₁によりトランジスタ32が導通するので、他方の信号D₀は曲線46とトランジスタ31₀と32とを並列接続したときの特性曲線50との交点の電圧、すなわち2値論理の“L”となる。

論理値“3”の記憶データが読出されたとき、信号D₁は曲線47と曲線49との交点の電圧、すなわち2値論理の“H”となる。このときも、この信号D₁によりトランジスタ32が導通するので、他方の信号D₀は曲線48と特性曲線50との交点の電圧、すなわち2値論理の“H”となる。

このようにして上記出力端子20₀、20₁から得られた信号D₀、D₁はインバータを2段直列接続して構成され、第5図に示すような特性を有するバッファ回路に供給してバッファ増幅すること

により、2値論理の“H”はよりV_{DD}に近い値に、“L”はより0Vに近い値に推移させることができ、より大きな雑音余裕で確実にデータを出力することができる。

第6図は上記第3図の回路における記憶データと、これに対応して出力される2値論理信号D₀、D₁の真理値をまとめて示す図である。

以上説明した4値論理での手法は第1図の実施例回路におけるn値論理に拡張することができる。

このように、上記実施例によれば、任意のn値論理の記憶回路を構成することができる。しかも、トランジスタの形状のみを考慮すればよく任意のn値に対して設計及び製造プロセスが簡単であるという利点がある。

上記実施例回路は、雑音余裕が大きく、信頼性が高いこと、メモリセルの構成が簡単で占有面積が小さいこと、アクセス時間が短いなどの利点を持っている。このような利点は以下の説明で明らかにする。

上記第2図の具体的回路をCMOSプロセス技

術により製造する場合に、メモリセル16内のトランジスタ28としてNチャネルのものを使用した場合と、Pチャネルのものを使用した場合の特性の差を調べた。トランジスタ28をNチャネルにする場合、メモリセル16を構成する際にウエル領域は不要でありセルの占有面積を小さくすることができるが、雑音余裕が低くなる。

第7図は電源電圧V_{DD} 5Vに対してNチャネルまたはPチャネルMOSトランジスタでトランジスタ28を構成した場合の各論理値に対する書き込み電流I_w、読出し電流I_r及びトランジスタ27のゲート電圧V_gの関係をまとめて示す図である。図示するように、PチャネルMOSトランジスタでトランジスタ28を構成した場合の方が書き込み電流I_w、読出し電流I_r及びゲート電圧V_gを大きくすることができる。また、トランジスタ28をPチャネル、Nチャネルいずれで構成しても書き込み電流I_wと読出し電流I_rとの値が等しくなり、これが信頼性を高くできる要素の一つとなっている。

第8図は上記第7図の各場合、すなわち、トランジスタ28としてNチャネルMOSトランジスタを用いた場合と、PチャネルMOSトランジスタを用いた場合とで、それぞれゲート電圧 V_0 を3等分したときと、書き込み、読出し電流 I を3等分したときの特性図である。すなわち、第8図(a)はトランジスタ28としてNチャネルMOSトランジスタを用いた場合にゲート電圧 V_0 を3等分したときの特性図であり、第8図(b)はトランジスタ28としてNチャネルMOSトランジスタを用いた場合に書き込み、読出し電流 I を3等分したときの特性図であり、さらに第8図(c)はトランジスタ28としてPチャネルMOSトランジスタを用いた場合にゲート電圧 V_0 を3等分したときの特性図であり、第8図(d)はトランジスタ28としてPチャネルMOSトランジスタを用いた場合に書き込み、読出し電流 I を3等分したときの特性図である。NチャネルMOSトランジスタを使用した場合に雑音余裕が小さいのは、トランジスタ28がバックゲートバイアス効果によって実質的な

閾値電圧が上昇し、 V_{00} よりも小さいあるソース電圧(トランジスタ27のゲート電圧)で非導通状態になるためである。

他方、PチャネルMOSトランジスタをトランジスタ28に使用した場合には上記のようなバックゲートバイアス効果なく、 V_{00} まで V_0 を使用することができるので、雑音余裕を大きくとることができる。すなわち、書き込み、読出し電流 I を3等分したとき、その雑音余裕は36.5 μ Aと非常に大きくとることができる。

さらに、上記実施例回路では、論理値“0”、“1”、“2”、“3”に対するアクセス時間は、最小線幅を5 μ mにした場合、それぞれ0ナノ秒、50ナノ秒、68ナノ秒、28ナノ秒であった。また、消費電力は論理値“0”、“1”、“2”、“3”に対してそれぞれ170 μ W、465 μ W、750 μ W、900 μ Wであった。また、最小線幅を1/kにすればアクセス時間は概略1/k²になること、さらに最適条件を追及することができること、などを考慮すると、非常に高速で消費

電力が少ない優れた性能を持つ記憶回路を構成することができる。

また、上記実施例回路は通常の2値のCMOS-LSI技術と全く同じプロセス技術で製造することができる。

なお、この発明は上記実施例に限定されるものではなく種々の変形が可能であることはいうまでもない。例えば上記実施例回路はMOSトランジスタで構成する場合について説明したが、これはMOSトランジスタに限らずバイポーラトランジスタで構成することができることはもちろんである。

また、上記実施例回路では入力信号並びに出力信号が2値論理信号である場合について説明したが、これは任意の多値信号であってもよいことはもちろんであり、使用する多値信号に応じて電流入力回路14、論理信号発生回路19の構成を変更すればよい。

[発明の効果]

以上説明したようにこの発明によれば、簡単な

回路構成で大きな雑音余裕度を得ることができ、しかもデータの書き込みと読出しを高速に行なうことができる多値論理記憶回路を提供することができる。

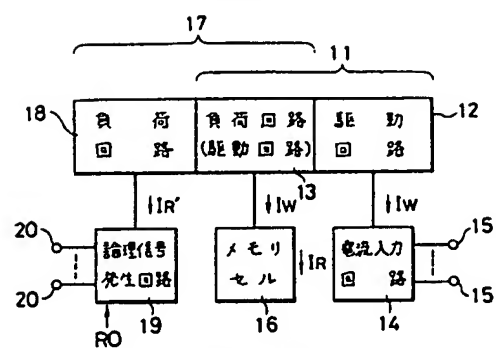
4. 図面の簡単な説明

第1図はこの発明の一実施例回路の構成を示すブロック図、第2図は上記実施例回路を具体的に示す回路図、第3図は上記第2図回路のnの値を特定し、一部を抜き出して示す回路図、第4図は上記第3図回路の特性図、第5図は上記第3図回路で得られる信号をバッファ増幅する場合の入出力特性図、第6図は上記第3図回路の出力信号の真理値を示す図、第7図は上記第3図回路の書き込み、読出し電流並びにゲート電圧をまとめて示す図、第8図は上記第3図回路を説明するための特性図である。

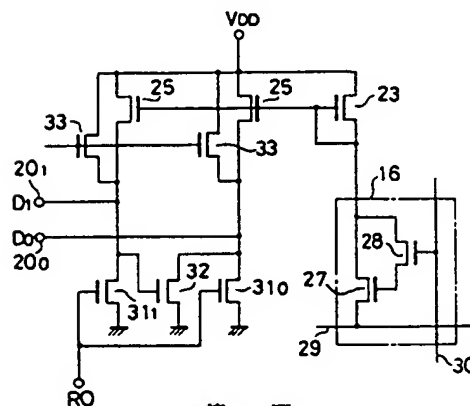
11…第1のカレントミラー回路、14…電流入力回路、16…メモリセル、17…第2のカレントミラー回路、19…論理信号発生回路、21、22、23、24、25、33…PチャネルMOSトランジスタ、26、27、

28, 31, 32... NチャネルMOSトランジスタ、29
...行線、30...列線。

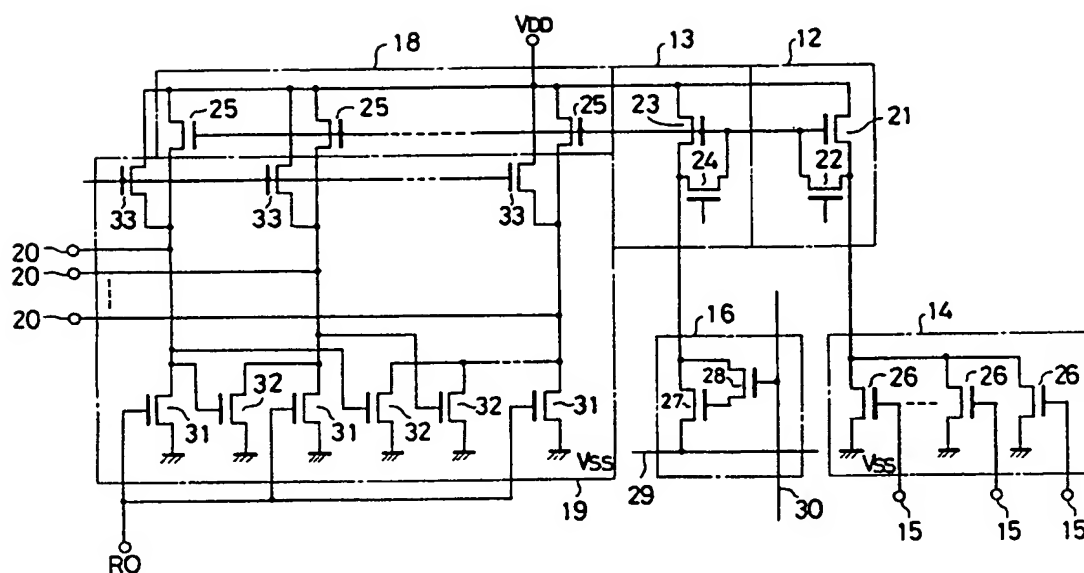
出願人代理人 弁理士 鈴江武彦



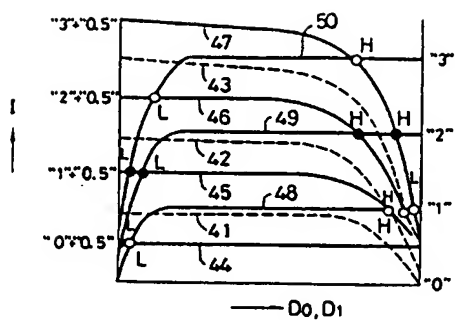
第 1 図



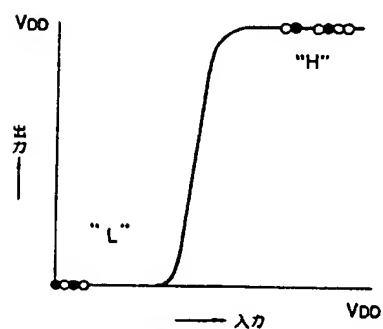
第 3 図



第 2 図



第 4 図



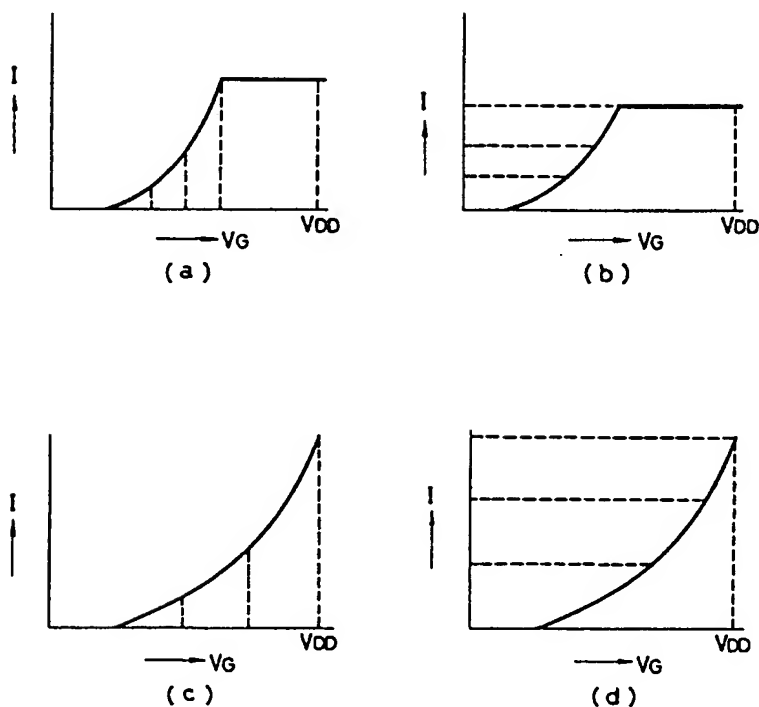
第 5 図

	D1	D0
"0"	L	L
"1"	L	H
"2"	H	L
"3"	H	H

第 6 図

		I _w (μA)	V _G (V)	I _R (μA)
N	V	3	70	3.1
		2	33	2.3
		1	8	1.4
		0	0	0.6
	I	3	70	3.1
		2	47	2.6
		1	23	2.1
		0	0	0.6
P	V	3	220	5
		2	94	3.5
		1	24	2.1
		0	0	0.6
	I	3	220	5
		2	147	4.2
		1	73	3.2
		0	0	0.6

第 7 図



第 8 図

第1頁の続き

- | | | | |
|--------|-----|-----|---|
| ⑫発 明 者 | 賤 満 | 鎮 明 | 愛知県豊橋市王ヶ崎町字上原1の3 合同宿舍王ヶ崎住宅
2の304 |
| ⑬発 明 者 | 池 上 | 紀 夫 | 東京都国分寺市東恋ヶ窪3丁目8番地2号 パークアベニ
ューデュエット国分寺102号室 |
| ⑭発 明 者 | 中 村 | 哲 郎 | 愛知県豊橋市北山町東浦2の1 合同宿舍高師住宅3の
404 |
| ⑮出 願 人 | 中 村 | 哲 郎 | 愛知県豊橋市北山町東浦2の1 合同宿舍高師住宅3の
404 |